

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168334

(43)Date of publication of application : 22.06.1999

(51)Int.Cl. H03G 3/10
H03D 7/14
H03F 3/45

(21)Application number : 09-331851 (71)Applicant : HITACHI LTD

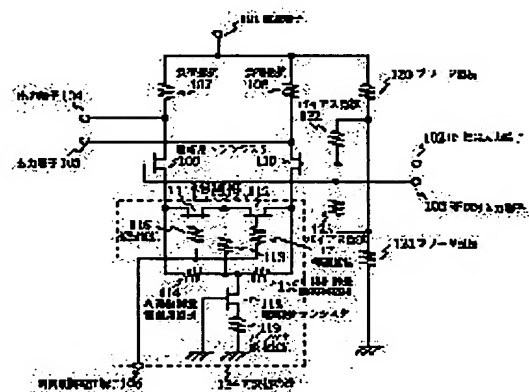
(22)Date of filing : 02.12.1997 (72)Inventor : ICHIKAWA KATSUhide
NAGASHIMA TOSHIO

(54) VARIABLE RESISTOR, GAIN CONTROL AMPLIFIER MIXER CIRCUIT AND RECEPTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the lack of gain control quantity, the drop of a gain and the deterioration of NF while distortion characteristic improvement effect at the time of controlling the gain is sufficiently displayed by changing resistance in accordance with control voltage, changing the range of a resistance value with current and moving the range of a variable resistance means to a specified range with current.

SOLUTION: An RF signal inputted between RF signal input terminals 102 and 103 is amplified by amplifier transistors 109 and 110 and it is outputted to output terminals 104 and 105. The gain at that time is controlled by changing the channel resistance of gain control transistors 111 and 112 with gain control voltage applied to a gain control voltage terminal 106 and the control quantity can be adjusted by gain control quantity adjusting resistors 114 and 115. Thus, the deterioration of a distortion characteristic can be suppressed by making DC current flow in the gain control transistor 111 as a distortion characteristic improvement means at the time of controlling the gain.



LEGAL STATUS

[Date of request for examination] 07.03.2000

[Date of sending the examiner's decision of rejection] 12.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

B2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168334

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶
H 0 3 G 3/10
H 0 3 D 7/14
H 0 3 F 3/45

識別記号

F I
H 0 3 G 3/10 B
H 0 3 D 7/14 C
H 0 3 F 3/45 Z

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平9-331851

(22) 出願日 平成9年(1997)12月2日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 市川 勝英
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内
(72) 発明者 長嶋 敏夫
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内
(74) 代理人 弁理士 富田 和子

(54) 【発明の名称】 可変抵抗器、利得制御増幅回路、ミキサ回路および受信回路

(57) 【要約】

【課題】 歪特性の劣化の少ない可変抵抗器を差動増幅回路、ミキサ回路の利得制御手段に用いたことで利得制御時の歪特性の劣化を少なくする。

【解決手段】 利得制御用トランジスタ111、112のソース共通接続点と、電流源トランジスタ118のドレイン間に抵抗を挿入して利得制御用トランジスタ111、112に直流電流を流すことで、利得制御量の劣化を招かずに利得制御時の歪特性の劣化を小さくした。

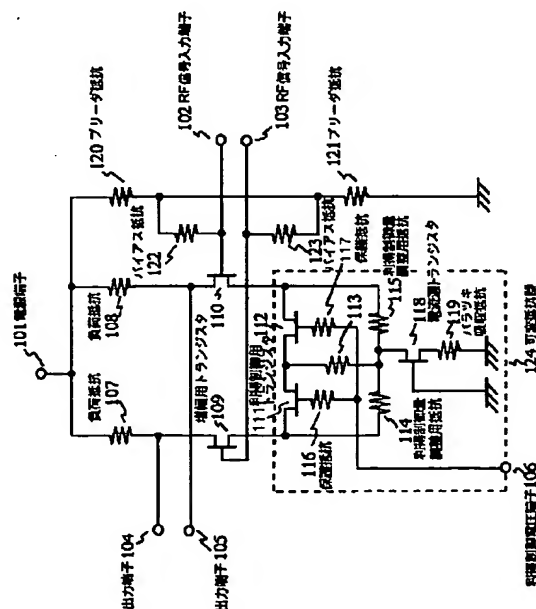


図1

【特許請求の範囲】

【請求項1】制御電圧により抵抗が変化する可変抵抗器において、前記制御電圧にしたがって抵抗が変化し、電流によって抵抗値の変化領域が変わる可変抵抗手段と、前記可変抵抗手段の変化領域を電流により特定領域に遷移させる遷移手段とを備えることを特徴とする可変抵抗器。

【請求項2】請求項1に記載の可変抵抗器において、前記可変抵抗手段は、前記制御電圧を入力する制御電圧入力端子と、前記遷移手段からの電流を入力する入力端子と、抵抗性を出力するための第1および第2の出力端子とを備えることを特徴とする可変抵抗器。

【請求項3】請求項2に記載の可変抵抗器において、前記可変抵抗手段は、2つのトランジスタを備え、前記制御電圧入力端子から当該トランジスタのチャネル抵抗を変化させるための制御電圧を入力し、前記入力端子より当該2つのトランジスタに電流を入力し、当該2つのトランジスタのチャネル抵抗を前記2つの出力端子に接続させることを特徴とする可変抵抗器。

【請求項4】請求項1に記載の可変抵抗器において、前記遷移手段は、電流を出力する電流源を備えることを特徴とする可変抵抗器。

【請求項5】請求項3に記載の可変抵抗器において、前記可変抵抗手段は、接合容量における歪を抑える容量をさらに備えることを特徴とする可変抵抗器。

【請求項6】入力信号を制御電圧にしたがって増幅する利得制御増幅回路において、制御電圧にしたがって抵抗が変化し、電流によって抵抗値の変化領域が変わる可変抵抗手段と、前記可変抵抗手段の変化領域を電流により特定領域に移動させるための遷移手段とを備える可変抵抗器と、前記可変抵抗器の抵抗値にしたがって入力信号を増幅させる増幅手段とを備えることを特徴とする利得制御増幅回路。

【請求項7】無線周波信号を局部発振信号により周波数変換して得られる中間波信号を出力するミキサ回路において、制御電圧にしたがって抵抗が変化し、電流によって抵抗値の変化領域が変わる可変抵抗手段と、前記可変抵抗手段の変化領域を電流により特定領域に遷移させる遷移手段とを備える可変抵抗器と、前記可変抵抗器の抵抗値にしたがって無線周波信号を増幅させる増幅手段と、前記増幅手段により増幅された無線周波信号を前記局部発振信号により周波数変換して得られる中間波信号を出力する変換手段とを備えることを特徴とするミキサ回路。

【請求項8】受信信号を、当該受信信号の受信レベルにしたがって増幅する増幅回路と、前記増幅回路により増幅された受信信号を、局部発振信号により周波数変換して得られる中間波信号を出力するミキサ回路とを有する受信回路において、前記増幅回路は、前記受信レベルに応じた制御電圧にしたがって抵抗が変化し、電流によ

て抵抗値の変化領域が変わる可変抵抗手段と、前記可変抵抗手段の変化領域を電流により遷移させる遷移手段とを備える可変抵抗器と、前記可変抵抗器の抵抗値にしたがって受信信号を増幅させる増幅手段とを備えることを特徴とする受信回路。

【請求項9】請求項8に記載の受信回路において、前記ミキサ回路は、前記制御電圧にしたがって抵抗が変化し、電流によって抵抗値の変化領域が変わる可変抵抗手段と、前記可変抵抗手段の変化領域を電流により特定領域に遷移させる遷移手段とを備える可変抵抗器と、前記可変抵抗器の抵抗値にしたがって無線周波信号を増幅させる増幅手段と、前記増幅手段により増幅された受信信号を局部発振信号により周波数変換して得られる中間波信号を出力する変換手段とを備えることを特徴とする受信回路。

【請求項10】極性が異なる2系統の電流路を備える増幅回路に接続される可変抵抗器であって、制御電圧に従って抵抗が変化する2つの抵抗素子と、電流源とを有し、前記2つの抵抗素子の1端は、共通に接続させて前記電流源に接続され、前記2つの抵抗素子の他端を前記電流路に接続させることを特徴とする可変抵抗器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TV、CATV、衛星放送、衛星通信、セルラ電話などの受信機に用いられる高周波信号処理のための利得制御増幅回路、ミキサ回路および受信回路とこれらに使用する可変抵抗器とに関する。

【0002】

【従来の技術】従来技術におけるミキサ回路を図5に示す。図5において、ミキサ回路は、利得制御手段を有し、電界効果トランジスタ504のゲートに印加する電圧によりドレインとソース間のチャネル抵抗を変換することで利得制御を行っている。

【0003】図5に示すミキサ回路は、電源端子101と、RF信号(無線周波信号)入力端子102および103と、中間周波出力端子301と、局部発振信号入力端子302および303と、出力トランス304とを有している。さらに、ミキサ回路は、周波数変換用トランジスタ305、306、307および308と、増幅用トランジスタ109および110と、可変抵抗器509と、電流源トランジスタ505および506と、バラツキ吸収抵抗507と、ブリアダ抵抗120、121、309および310と、バイアス印加抵抗122、123、311および312と、高周波接地容量313とを有している。

【0004】可変抵抗器509は、利得制御用トランジスタ504と、歪改善抵抗502および503と、利得制御量調整用抵抗501と、ゲート保護抵抗508と、利得制御電圧端子106とにより構成される。

【0005】トランス304の出力側巻線には中間周波出力端子301が接続され、電源側巻線は接地容量313で高周波接地された中間タップを有しており、電源側巻線の一方の入力には周波数変換用トランジスタ305のドレインと周波数変換用トランジスタ307のドレインとが接続され、第1の中間周波信号を出力し、電源側巻線の他方の入力には周波数変換用トランジスタ306のドレインと周波数変換用トランジスタ308のドレインとが接続され、第2の中間周波信号を出力し、出力巻線からは第1と第2との中間周波信号が合成されて出力される。また、電源電圧は、電源側巻線の中間タップを介し電源端子101より供給される。そして、周波数変換用トランジスタ305および306のソースと周波数変換用トランジスタ307および308のソースとはそれぞれ共通接続され、それぞれ増幅用トランジスタ109および110のドレインに接続される。また、増幅用トランジスタ109および110のソース間には利得制御のための可変抵抗器として、利得制御用トランジスタ504と歪特性改善抵抗502および503の直列接続体と利得制御量調整用抵抗501とが接続されるとともに、利得制御用トランジスタ504のゲートにはゲート保護抵抗508を介し利得制御電圧端子106に接続される。さらに、増幅用トランジスタ109および110のソースにはそれぞれ電流源トランジスタ505および506のドレインが接続されるとともに、それらのトランジスタのゲートは直接接地され、ソースは共通のバツキ吸収抵抗507により接地される。また、周波数変換用トランジスタ305および308のゲートと周波数変換用トランジスタ306および307のゲートとはそれぞれ共通接続され、それらの共通接続点がそれぞれ局部発振信号入力端子302および303に接続されるとともに、ブリーダ抵抗309および310により分圧された電圧をバイアス印加抵抗311および312を介しそれぞれ局部発振信号入力端子302および303に印加される。また、増幅用トランジスタ109および110のゲートは、それぞれRF信号入力端子102および103に接続されるとともに、ブリーダ抵抗120および121により分圧された電圧がそれぞれバイアス印加抵抗122および123を介し印加される。

【0006】従来技術におけるミキサ回路は、RF信号入力端子102-103間に入力されたRF信号を増幅用トランジスタ109および110で増幅した後、周波数変換用トランジスタ305、306、307および308において、局部発振信号入力端子302-303間に入力された局部発振信号により中間周波信号に周波数変換し、その中間周波信号を中間周波出力端子301に出力する。また、利得制御は、利得制御電圧入力端子106に印加する電圧により利得制御用トランジスタ504のドレインとソース間のチャネル抵抗を可変することで制御し、利得制御量は利得制御量調整用抵抗501に

より調整する。

【0007】また、ミキサ回路では、利得制御用トランジスタのドレインとソース間のチャネル抵抗を可変することで利得制御を行っているが、このチャネル抵抗値がゲート電圧に対して非線形的に変化するために、抵抗値が急激に変化する点で歪特性が劣化するという問題がある。さらに、利得制御用トランジスタのドレインとゲートあるいはゲートとソース間の接合容量の非線形性によっても歪特性が劣化する。これらの劣化は、どちらも利得制御時に発生し、図5に示す従来例では、利得制御用トランジスタ504の両端に直列に歪改善抵抗502、503を挿入するとともに、利得制御量調整を兼ねた利得制御量調整用抵抗501を利得制御用トランジスタ504と並列に接続することにより、利得制御用トランジスタのチャネル抵抗の非線形性や接合容量の非線形性による利得制御時の歪特性劣化を抑えている。

【0008】

【発明が解決しようとする課題】上記従来技術で示すミキサ回路では、利得制御用トランジスタに直列に抵抗を挿入するとともに、利得制御量の調整を兼ねた利得制御量調整用抵抗を利得制御用トランジスタに並列に接続させることで利得制御時の歪特性改善を図っている。しかし、この手段では、利得制御時の歪特性の劣化を小さくする場合には、利得制御用トランジスタに直列に挿入する抵抗の値を大きくするとともに、利得制御用トランジスタと並列に接続した抵抗の値を小さくすれば良いが、利得制御量が不足するという問題がある。

【0009】ここで、利得制御用トランジスタに挿入する抵抗と利得制御量の関係について説明する。利得制御量は利得最大時と利得最小時との増幅用トランジスタのソース間の抵抗比によりほぼ決まる。図5に示す利得制御用トランジスタ504のオン抵抗を R_{on} とし、挿入する抵抗501、502および503の抵抗値をそれぞれ R_{501} 、 R_{502} および R_{503} とし、利得制御用トランジスタ504のオフ時の抵抗が R_{501} 、 R_{502} および R_{503} に比べ十分大きいとすると、抵抗比は、並列接続される $(R_{on} + R_{502} + R_{503})$ と R_{501} の合成抵抗と R_{501} との比になる。このため利得制御量を大きくするには R_{502} と R_{503} を小さくするとともに R_{501} を大きくすればよいが、この場合、利得制御用トランジスタのチャネル抵抗の非線形性や接合容量の非線形性の影響が大きくなり歪特性が劣化するため、利得制御時の歪特性改善と利得制御量の確保の両立が困難である。

【0010】また、利得制御用トランジスタと直列に抵抗を挿入することでRFバッファ109と110のソース間の抵抗が増えることで帰還量が増え、利得の低下やNFが劣化するという問題がある。

【0011】本発明の目的は、上記問題を解消し、利得制御時の歪特性改善効果を十分発揮しながら、利得制御

量の不足や利得の低下およびNFの劣化を抑えることができるようにした可変抵抗器と、それを用いた利得制御増幅回路、ミキサ回路および受信回路とを提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明は、制御電圧により抵抗が変化する可変抵抗器において、前記制御電圧にしたがって抵抗が変化し、電流によって抵抗値の変化領域が変わる可変抵抗手段と、前記可変抵抗手段の変化領域を電流により特定領域に遷移させる遷移手段とを備える。本発明によれば、特定領域を線形的な領域とすることにより、従来技術のように、歪み調整用の抵抗を設ける必要がない。

【0013】前記可変抵抗手段は、前記制御電圧を入力する制御電圧入力端子と、前記遷移手段からの電流を入力する入力端子と、抵抗性を出力するための第1および第2の出力端子とを備える。前記可変抵抗手段は、2つのトランジスタを備え、前記制御電圧入力端子から当該トランジスタのチャネル抵抗を変化させるための制御電圧を入力し、前記入力端子より当該2つのトランジスタに直流電流を入力し、当該2つのトランジスタのチャネル抵抗を前記2つの出力端子に接続させるように構成する。前記遷移手段は、電流を出力する電流源を備える。前記可変抵抗手段は、接合容量における歪を抑えるための容量をさらに備えることができる。これにより、接合容量における歪を抑えることができる。

【0014】また、この可変抵抗器は、利得制御増幅回路、ミキサ回路、受信回路に適用することができる。

【0015】より具体的な構成としては、可変抵抗器において、利得制御用トランジスタとして第1と第2の電界効果トランジスタのソースを共通接続するとともに、それぞれのゲートに抵抗を介し制御端子を設け、その端子に制御電圧を印加することで第1の電界効果トランジスタのドレインと第2の電界効果トランジスタのドレイン間の抵抗値を変える構成にすることができる。さらに、第1の電界効果トランジスタのドレインと第2の電界効果トランジスタのドレインをそれぞれ抵抗を介し共通の電流源に接続するとともに、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースの共通接続点とその電流源との間に抵抗を付加した。さらに、第1と第2の電界効果トランジスタのゲートとソース間にそれぞれ容量を付加した。

【0016】図5に示す従来例の可変抵抗器に用いる利得制御用トランジスタには直流電流が流れないのに対し、本発明では、利得制御を目的とした第1と第2の電界効果トランジスタに直流電流を流すことで、利得制御用トランジスタのドレインとソース間のチャネル抵抗の値が急激に変化する点を避けて、線形的な領域である特定領域に変化領域を遷移させることで、利得制御用トランジスタのチャネル抵抗の非線形性による利得制御時の

歪特性の劣化を抑えることができる。また、第1および第2の電界効果トランジスタのゲートとソース間にそれぞれ容量を付加することにより、利得制御用トランジスタの接合容量の非線形性による影響が小さくできるので、利得制御用トランジスタの接合容量の非線形性による、利得制御時の歪特性の劣化も抑えることができる。

【0017】また、本発明では、従来例のように、利得制御時の歪特性改善を目的として利得制御用トランジスタと直列に抵抗を挿入する必要がないため、増幅用トランジスタのソース間の抵抗値増加による利得の低下やNFの劣化を抑えることができる。

【0018】以上は可変抵抗器をミキサ回路に用いた例を示したが、可変抵抗器を利得制御増幅回路に用いた場合も同様の効果がある。この場合、ドレインに負荷抵抗が接続された第3の電界効果トランジスタのソースに、本発明における可変抵抗器の第1の電界効果トランジスタのドレインを、ドレインに負荷抵抗が接続された第4の電界効果トランジスタのソースに、本発明における可変抵抗器の第2の電界効果トランジスタのドレインをそれぞれ接続した構成とすればよい。

【0019】

【発明の実施の形態】以下、本発明の実施形態を、図面を参照して説明する。

【0020】図1に、本発明の第1の実施形態における可変抵抗器とそれを用いた利得制御増幅回路との回路図を示す。図1において、利得制御増幅回路は、電源端子101、RF信号入力端子102および103、出力端子104および105、負荷抵抗107および108、増幅用トランジスタ109および110、可変抵抗器124、ブリーダ抵抗120および121、バイアス抵抗122および123を有している。

【0021】可変抵抗器124は、利得制御用トランジスタ111および112、抵抗113、利得制御量調整用抵抗114および115、利得制御電圧端子106、電流源トランジスタ118、および、バツキ吸収抵抗119を有している。

【0022】図1において、増幅用トランジスタ109および110のドレインにはそれぞれ負荷抵抗107および108が接続され、それらのゲートには、RF信号入力端子102および103が接続され、それらのソースには、可変抵抗器124に接続されている。また、これら増幅用トランジスタ109および110のゲートにはそれぞれ、電源端子101から印加される電源電圧をブリーダ抵抗120および121で分圧して得られる電圧がバイアス印加抵抗122および123を介して印加されている。さらに、これら増幅用トランジスタ109および110のドレインは、それぞれ出力端子104および105に接続されている。

【0023】可変抵抗器124では、利得制御用トランジスタ111および112のソースは共通接続され、そ

これらのトランジスタのゲートはそれぞれ抵抗 116 および 117 を介し、利得制御電圧端子 106 に接続される。また、利得制御用トランジスタ 111 および 112 のドレインは、それぞれ増幅用トランジスタ 109 および 110 のソースに接続されるとともに、それぞれ利得制御量調整用抵抗 114 および 115 を介し共通の電流源トランジスタ 118 のドレインに接続される。さらに、利得制御用トランジスタ 111 および 112 のソースの共通接続点と電流源トランジスタ 118 のドレインに抵抗 113 が接続される。また、電流源トランジスタ 118 のゲートは直接接地され、ソースはバラツキ吸収抵抗 119 を介し接地される。

【0024】図 1 に示す利得制御増幅回路では、RF 信号入力端子 102-103 間に入力された RF 信号を増幅用トランジスタ 109 および 110 により増幅した後、出力端子 104、105 に出力する。また、このときの利得は、制御端子 106 に印加される利得制御電圧により、利得制御トランジスタ 111 および 112 のチャネル抵抗を変えることで制御され、その制御量は利得制御量調整用抵抗 114 および 115 により調整可能である。

【0025】このように、利得制御時の歪特性改善手段として、利得制御用トランジスタに直流電流が流れる構成とすることで、利得制御用トランジスタのドレインとソース間のチャネル抵抗の値が急激に変化する点を避けて、線形的な動作領域に移動させることで、利得制御を行う場合に、利得制御用トランジスタのチャネル抵抗の非線形性による歪特性の劣化を抑えることができる。このため、図 5 に示した従来のミキサ回路のように利得制御用トランジスタに直列あるいは並列に抵抗を挿入することで歪特性の劣化を抑える場合に比べ、十分な利得制御量を確保することができる。さらに、本実施の形態では、利得制御用トランジスタに直列に抵抗を挿入せずに利得制御時の歪特性の劣化を抑えることができるため、抵抗挿入による利得の低下や NF の劣化もない。また、第 1 の実施の形態においては、増幅用トランジスタ 109、110 および電流源トランジスタ 118 は、電界効果トランジスタに限らずバイポーラトランジスタ等の他の能動素子であっても、同様の効果が得られる。

【0026】図 2 に、本発明の第 2 の実施形態における可変抵抗器とそれを用いた利得制御増幅回路の回路図を示す。図 2 において、図 1 に対応する部分には同一符号を付けている。

【0027】第 2 の実施の形態では、第 1 の実施の形態における構成に、可変抵抗器 124 の利得制御トランジスタ 111 および 112 のゲートとソース間にそれぞれ利得制御時の歪改善容量 201 および 202 を付加している。これにより、利得制御用トランジスタ 111、112 のドレインとゲート間とゲートとソース間の接合容量の非線形性による歪特性劣化のうち、特に劣化の大き

いゲートとソース間の接合容量の非線形性による影響を、これと並列に容量を付加することで小さくすることができる。このため、利得制御を行う場合に、利得制御用トランジスタの接合容量の非線形性による歪特性の劣化を抑えることができる。

【0028】つぎに、上述した第 1 の実施の形態における可変抵抗器をミキサ回路に用いた場合の構成を、図 3 を参照して説明する。図 3 に、本発明の第 1 の実施形態における可変抵抗器とそれを用いたミキサ回路の回路図を示す。図 1 および図 5 に対応する部分には同一符号を付けている。

【0029】図 3 に示すミキサ回路は、RF 信号入力端子 102-103 間に入力された RF 信号を増幅用トランジスタ 109 および 110 により増幅した後、周波数変換用トランジスタ 305、306、307 および 308 において、局部発振信号入力端子 302-303 間に入力された局部発振信号により中間周波信号に周波数変換し、中間周波出力端子 301 に中間周波信号を出力する。また、利得制御は、第 1 の実施の形態における、図 1 で示した可変抵抗器とそれを用いた利得制御増幅回路と同様に、可変抵抗器 124 の利得制御電圧端子 106 に制御電圧を印加することで制御し、利得制御量は利得制御量調整用抵抗 114 および 115 により調整する。

【0030】図 4 に、図 3 に示すミキサ回路と、図 5 に示す従来技術におけるミキサ回路との利得制御用 FET の動作領域を示す。図 4 に示すように、従来技術におけるミキサ回路の利得制御用 FET のドレイン-ソース間には同電位のため $V_{ds} = 0V$ を中心にした高周波信号が加わり、この時の利得制御用 FET のチャネル抵抗は、 dV_{ds}/dI_d となる。また、従来技術においては、利得制御用 FET のゲートに加わる制御電圧が大きいとき ($V_g = V_{g2}$ の曲線) の利得制御量が小さい場合に比べて、制御電圧が小さいとき ($V_g = V_{g1}$ の曲線) の利得制御量が大きい場合に、利得制御用 FET のチャネル抵抗が非線形に大きくなるため、歪特性が劣化する。

【0031】これに対し、本実施の形態におけるミキサ回路では、利得制御用 FET に、直流電流を流すことで、利得制御用 FET のドレイン-ソース間電圧が $V_{ds} > 0V$ として、利得制御用 FET のチャネル抵抗が線形的に変化する領域を動作領域とすることができ、非線形な領域における動作を避けることができる。

【0032】このように、第 1 の実施の形態における可変抵抗器とそれを用いた利得制御増幅回路およびミキサ回路によれば、利得制御時の歪特性改善手段として、利得制御用トランジスタに直流電流が流れる構成とすることで、利得制御用トランジスタのドレインとソース間のチャネル抵抗の値が急激に変化する点を避けて、線形的な領域を動作領域にすることで、利得制御時の利得制御用トランジスタのチャネル抵抗の非線形性による歪特性の劣化を抑えることができる。図 5 に示した従来のミキサ

回路のように利得制御用トランジスタに直列あるいは並列に抵抗を挿入することで歪特性の劣化を抑える場合に比べ、十分な利得制御量を確保することができる。さらに、この実施の形態では、利得制御用トランジスタと直列に抵抗を挿入せずに利得制御時の歪特性の劣化を抑えることができるため、抵抗挿入による利得の低下やNFの劣化もない。また、増幅用トランジスタ109および110、周波数変換用トランジスタ305、306、307、308および電流源トランジスタ118は、電界効果トランジスタに限らずバイポーラトランジスタ等の他の能動素子であっても、同様の効果が得られる。

【0033】つぎに、上述した第2の実施の形態における可変抵抗器をミキサ回路に用いた場合の構成を、図4を参照して説明する。図4に、本発明の第2の実施形態における可変抵抗器とそれを用いたミキサ回路の回路図を示す。図1および図5に対応する部分には同一符号を付けている。

【0034】図4に示すミキサ回路は、第2の実施の形態と同様に、可変抵抗器124の利得制御トランジスタ111および112のゲートとソース間にそれぞれ利得制御時の歪改善容量201および202を付加したことにより、利得制御用トランジスタ111、112のドレインとゲート間とゲートとソース間の接合容量の非線形性による歪特性劣化のうち、特に、劣化の大きいゲートとソース間の接合容量の非線形性による影響をこれと並列に容量を付加することで小さくできる。このため、利得制御用トランジスタの接合容量の非線形性による、利得制御時の歪みの劣化を抑えることができる。

【0035】以上、説明したように、本発明における各実施の形態によれば、利得制御用トランジスタ111および112のドレインとソース間のチャネル抵抗を利用した利得制御回路およびミキサ回路において、利得制御用トランジスタ111および112のソース共通接続点と電流源トランジスタ118のドレインに抵抗113を挿入して利得制御用トランジスタ111および112に直流電流を流すことにより利得制御用トランジスタ111、112のドレインとソース間のチャネル抵抗の抵抗値が急激に変化する点を避けた動作領域にすることで利得制御時の歪特性の劣化を抑えることができる。さらに、利得制御トランジスタ111、112のゲートとソース間にそれぞれ利得制御時の歪改善容量201、202を付加したことにより、接合容量の非線形性の影響を小さくすることにより、利得制御用トランジスタの接合容量の非線形性による利得制御時の歪特性の劣化を抑えることができる。

【0036】本発明の各実施の形態における効果を、図6～図8を参照して説明する。図6に、図3、図4および図5に示すミキサ回路の利得制御量に対する3次歪特性を示す。図7に、図3、図4および図5に示すミキサ回路の利得制御量に対する2次歪特性の実験結果を示

す。

【0037】図6および図7において、実験は、電源電圧を9V、入力RF信号周波数を500MHz、入力信号レベル-10dBm、局部発振信号周波数を1800MHz、出力中間周波信号周波数1300MHzとして測定した結果をそれぞれ示す。

【0038】図6において、横軸に利得制御量を示し、縦軸に3次歪抑圧比を示す。図6に示したように、図3および図4に示したようなミキサ回路の構成とすることで、従来技術におけるミキサ回路より、利得制御時の3次歪特性の劣化を抑えることができる。

【0039】また、図7において、横軸に利得制御量を示し、縦軸に2次歪抑圧比を示す。図7に示したように、図4に示したようなミキサ回路において、利得制御トランジスタ111および112のゲートとソース間にそれぞれ容量を付加することにより、従来技術のミキサ回路より、利得制御時の2次歪特性の劣化を抑えることができる。

【0040】また、図8に、図3および図5に示すミキサ回路の、利得制御電圧に対する利得制御特性を示す。図8に示すように、実施の形態による利得制御回路においては、利得制御量を十分に確保することができる。

【0041】つぎに、上述した実施の形態における利得制御増幅回路およびミキサ回路を用いた受信回路を、図10を参照して説明する。図10に、ケーブルテレビジョン(CATV)の受信回路のブロック図を示す。図10において、受信回路は、RF信号入力端子1、バンドパスフィルタ2、8および14、利得制御増幅回路3、アップコンバート用ミキサ4、アップコンバート用局部発振回路7、中間周波信号増幅回路9およびダウンコンバート用ミキサ10、ダウンコンバート用局部発振回路13、ローパスフィルタ16、中間波信号出力端子17とを備える。

【0042】図10に示すアップコンバート用ミキサ4は、利得制御手段を備えるRFバッファ回路11とミキサ回路12とを有している。また、利得制御増幅回路3には、図1もしくは図2に示した利得制御増幅回路を用いる。また、アップコンバート用ミキサ4には、図3もしくは図4に示したミキサ回路を用いる。

【0043】図10において、受信回路では、RF信号入力端子1に入力された約55MHz～860MHzのRF信号は、バンドパスフィルタ2によりRF信号帯域以外の不要帯域が減衰された後、利得制御増幅回路3により増幅され、アップコンバート用ミキサ4に入力される。このRF信号は、利得手段を有したRFバッファ回路5により増幅された後、ミキサ回路6において、アップコンバート用局部発振回路7からの局部発振信号により、RF信号帯より高い1GHz帯の第1中間周波信号にアップコンバートされる。このアップコンバートされた第1中間波信号は、バンドパスフィルタ8により、指

示されている受信チャネルを帯域選択した後、中間周波信号増幅回路 9 により増幅され、ダウンコンバート用ミキサ 10 に入力される。ダウンコンバート用ミキサ 10 に入力された第 1 中間周波信号は、RF パッファ回路 11 により増幅された後、ミキサ回路 12 において、ダウンコンバート用局部発振回路 13 からの局部発振信号により 40～50 MHz 帯の第 2 中間周波信号にダウンコンバートされる。第 2 中寒中は信号は、バンドパスフィルタ 14 により不要帯域が減衰された後、中間周波信号増幅回路 15 により増幅され、ローパスフィルタ 16 により第 2 中間周波信号より高い周波数が減衰された後、第 2 中間周波信号出力端子 17 より出力される。また、受信回路では、RF 信号入力端子 1 に入力される RF 信号レベルに対して第 2 中間周波信号出力端子 17 より出力されるレベルが一定となるように利得制御増幅回路 3 とアップコンバート用ミキサ 4 とで利得制御を行う。

【0044】図 10 に示す CATV 受信回路では、RF 信号レベルに対し、利得制御量としては、30 dB 程度が必要となる。このため、従来技術による利得制御回路を利得制御回路 3 とアップコンバート用ミキサ 4 とに適用した場合には、利得制御時の歪特性が劣化するため、ピンダイオードを用いた利得制御回路を利得制御増幅回路 3 の前段に更に設ける必要がある。本実施の形態による利得制御増幅回路およびミキサ回路を用いれば、歪特性が劣化しないため、利得制御回路を余分に設ける必要がない。

【0045】上記実施の形態によれば、電界効果トランジスタのドレインとソース間のチャネル抵抗を利用した可変抵抗器において、電界効果トランジスタのチャネル抵抗の非線形性や接合容量の非線形性による歪特性の劣化の少ない可変抵抗器を差動構成の利得制御増幅回路やミキサ回路の利得制御回路に用いることにより、利得制御時の歪特性の劣化を抑えることができる。

【0046】

【発明の効果】本発明によれば、利得制御時の歪特性改善効果を十分発揮しながら、利得制御量の不足や利得の低下および NF の劣化を抑えることができるようにした可

変抵抗器と、それを用いた利得制御増幅回路、ミキサ回路および受信回路とを実現することができる。

【図面の簡単な説明】

【図 1】第 1 の実施の形態における可変抵抗器とそれを用いた利得制御増幅回路の回路図である。

【図 2】第 2 の実施の形態における可変抵抗器とそれを用いた利得制御増幅回路の回路図である。

【図 3】第 1 の実施の形態における可変抵抗器とそれを用いたミキサ回路の回路図である。

10 【図 4】第 2 の実施の形態における可変抵抗器とそれを用いたミキサ回路の回路図である。

【図 5】従来のミキサ回路の一例を示す回路図である。

【図 6】従来のミキサ回路と本発明の実施の形態におけるミキサ回路の 3 次歪特性の違いを示す特性図である。

【図 7】従来のミキサ回路と本発明の実施の形態におけるミキサ回路の 2 次歪特性の違いを示す特性図である。

【図 8】図 3 および図 5 に示すミキサ回路の、利得制御電圧に対する利得制御特性図である。

20 【図 9】図 3 に示すミキサ回路と、図 5 に示す従来技術におけるミキサ回路との利得制御用 FET の動作領域を示す説明図である。

【図 10】受信回路のブロック図である。

【符号の説明】

101…電源端子

107、108…負荷抵抗

109、110…増幅用トランジスタ

124、509…可変抵抗器

111、112、504…利得制御用トランジスタ

201、202、401、402…利得制御時の歪特性改善容量

305、306、307、308…周波数変換用トランジスタ

102、103…RF 信号入力端子

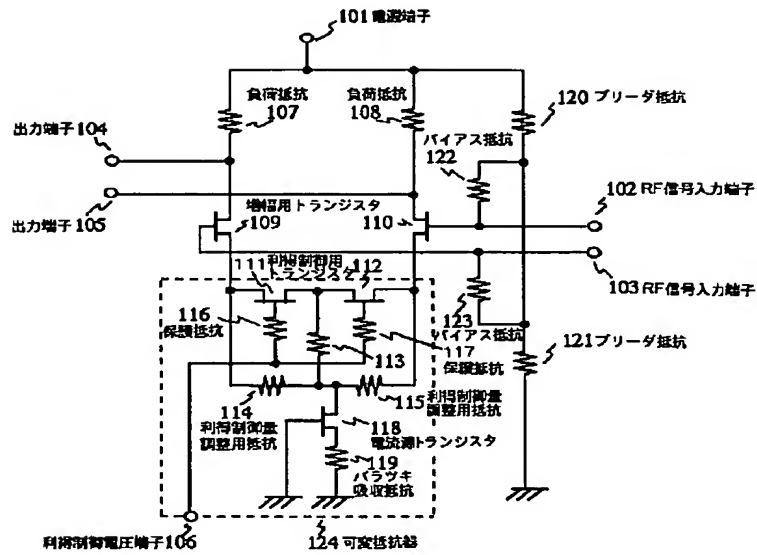
104、105…RF 信号出力端子

301…中間周波出力端子

106…利得制御電圧端子。

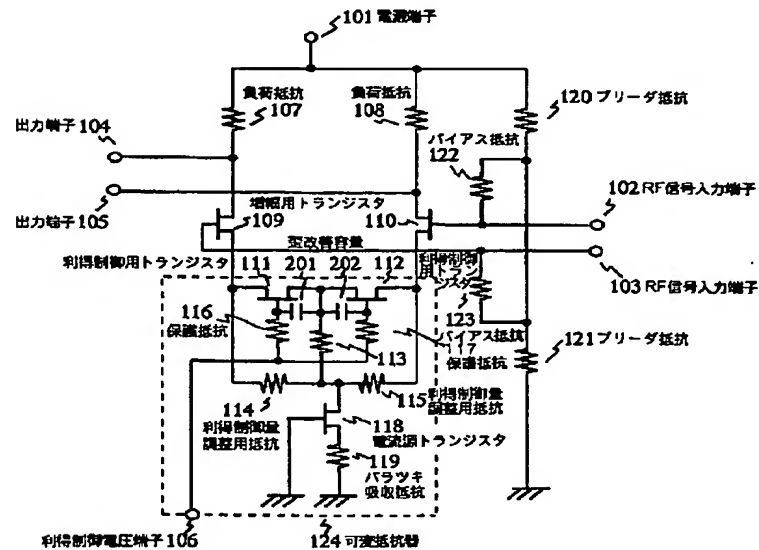
【図1】

図1



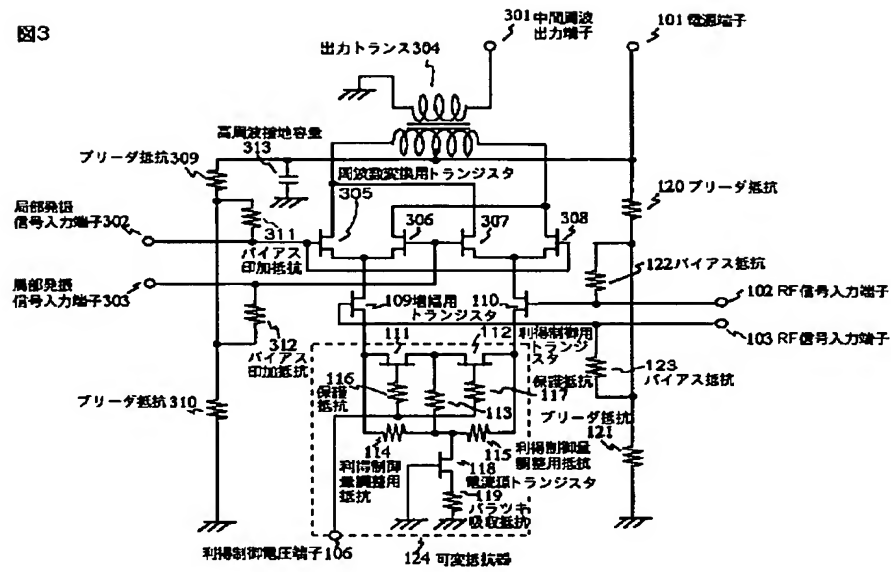
【図2】

図2



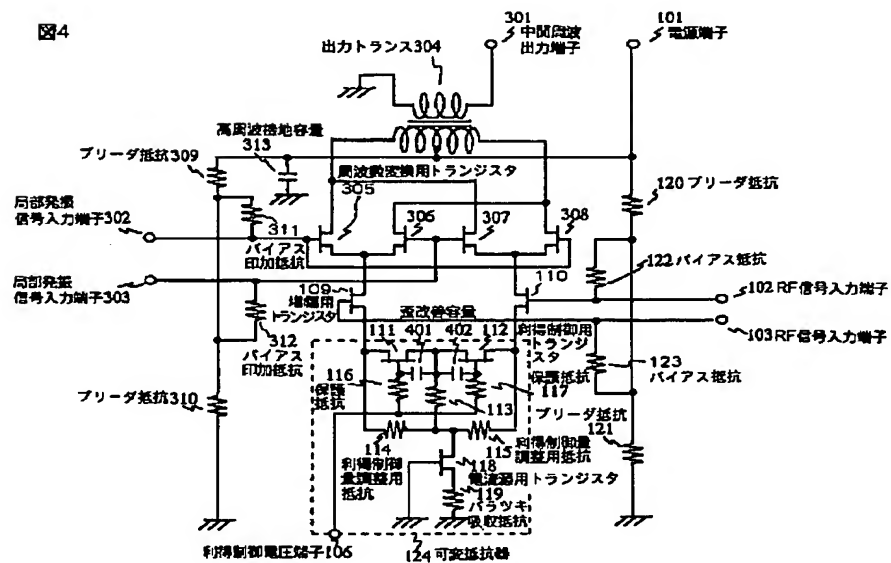
【図3】

図3



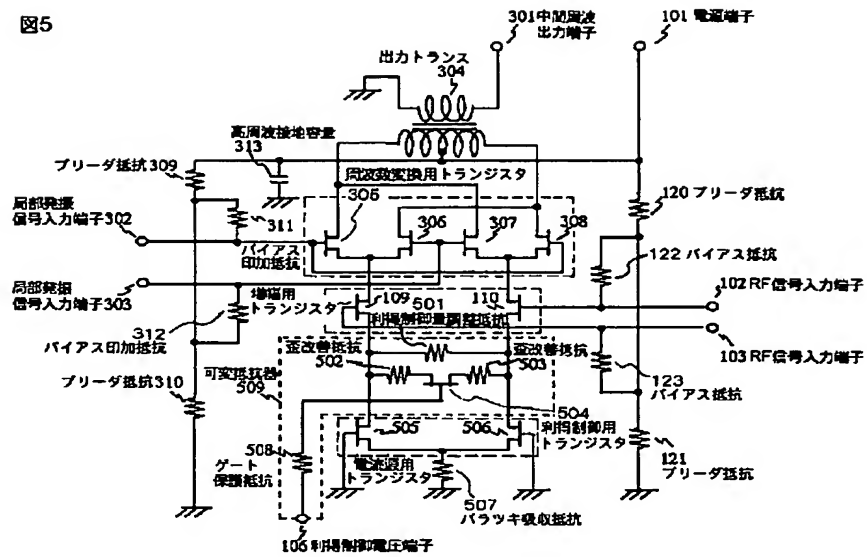
【図4】

図4



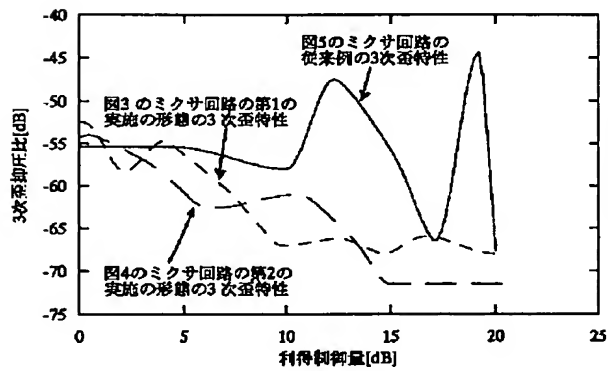
【図5】

图5



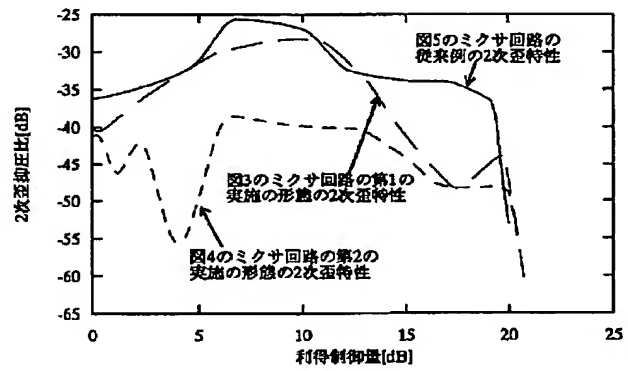
【図6】

图6



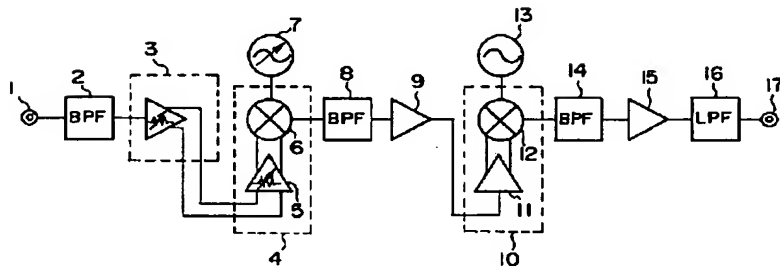
【図7】

图7



【圖 10】

10



【图9】

图 9

